

①⑨ RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①⑪ N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 804 793

②① N° d'enregistrement national : 00 01484

⑤① Int Cl⁷ : H 01 L 21/71, H 01 L 27/04, 21/331

⑫

DEMANDE DE BREVET D'INVENTION

A1

②② Date de dépôt : 07.02.00.

③⑦ Priorité :

④③ Date de mise à la disposition du public de la
demande : 10.08.01 Bulletin 01/32.

⑤⑥ Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

⑥⑦ Références à d'autres documents nationaux
apparentés :

⑦① Demandeur(s) : ST MICROELECTRONICS SA
Société anonyme — FR.

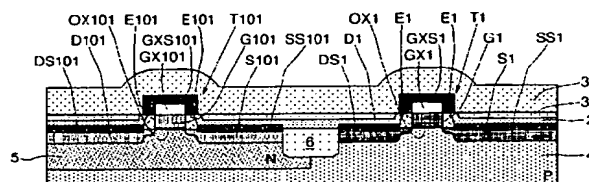
⑦② Inventeur(s) : HAOND MICHEL.

⑦③ Titulaire(s) :

⑦④ Mandataire(s) : CASALONGA ET JOSSE.

⑤④ PROCÉDE D'AJUSTEMENT DE LA VALEUR DE RESISTANCE DE GRILLE D'UN TRANSISTOR D'UN CIRCUIT
INTEGRE ET CIRCUIT INTEGRE CORRESPONDANT.

⑤⑦ Pour ajuster la valeur de résistance de grille d'un transistor d'un circuit intégré réalisé au sein d'un substrat semi-conducteur et recouvert d'une couche isolante, on découvre le polysilicium de la grille initiale G1 du transistor T1 entourée par des espaceurs isolants E1, on forme sur la grille initiale ainsi découverte G1 une extension de grille GX1 en déposant par épitaxie sélective une couche de polysilicium ayant une épaisseur choisie, et on procède à une siliciuration GXS1 d'au moins une partie de l'extension de grille sur une épaisseur choisie, de façon à obtenir une grille finale pour le transistor formée de la grille initiale G1 entourée par les espaceurs E1 et surmontée de l'extension de grille GX1 ainsi siliciurée.



FR 2 804 793 - A1



Procédé d'ajustement de la valeur de résistance de grille d'un transistor d'un circuit intégré et circuit intégré correspondant.

L'invention concerne les circuits intégrés et leur fabrication, et plus particulièrement la réalisation des grilles des transistors de ces circuits intégrés en vue d'ajuster la valeur de la résistance de grille.

Les circuits intégrés comportant des transistors CMOS (transistors complémentaires à effet de champ à grille isolée) sont aujourd'hui fabriqués avec des grilles en silicium polycristallin qui est un matériau ayant des propriétés thermiques et mécaniques voisines de celles du substrat de silicium. Ce silicium polycristallin est en général transformé en un siliciure de métal en surface, par dépôt de métal (par exemple du titane) et réaction avec le silicium aux endroits où le silicium polycristallin (polysilicium) émerge. Ce siliciure de métal a l'avantage de conférer une équipotentielle métallique sur les grilles duales utilisées dans les technologies CMOS actuelles. La siliciuration présente également l'avantage de réduire les résistances des lignes de polysilicium utilisées pour les grilles des transistors, et permet d'utiliser dans certains cas ces lignes comme lignes d'interconnexion locale.

Toutefois, le siliciure de métal utilisé aujourd'hui est formé de façon auto-alignée (c'est-à-dire simultanément) à la fois sur les lignes de polysilicium des grilles et sur les régions de source et de drain des transistors. Ceci améliore le contact sur les régions de source et de drain et contribue à réduire la résistance d'accès au canal du transistor dans les transistors MOS très courts et à jonction très fine. Par contre, ceci présente l'inconvénient de devoir former un siliciure de métal ayant une épaisseur compatible avec l'épaisseur des jonctions source/substrat et drain/substrat, pour éviter leur perçage. Or, puisque les jonctions sont de

plus en plus fines pour les technologies avancées, le siliciure de métal est actuellement fortement aminci sur les régions de source et de drain, mais également par conséquent sur les régions de grilles en polysilicium. En conséquence, la résistance des lignes de polysilicium "siliciuré" a donc
5 tendance à augmenter pour les nouvelles générations de transistors, puisque l'épaisseur de la couche de siliciure de métal est plus fine.

Et, ceci est particulièrement gênant pour des applications analogiques fonctionnant dans le domaine des hautes fréquences et surtout dans le domaine des radio-fréquences, où les fréquences dépassent
10 le gigahertz.

L'invention vise à apporter une solution à ce problème.

Un but de l'invention est d'ajuster la valeur de résistance de grille d'un transistor tout en évitant un perçage des jonctions drain/substrat et source/substrat.

15 L'invention propose donc un procédé d'ajustement de la valeur de la résistance de grille d'un transistor d'un circuit intégré réalisé au sein d'un substrat semi-conducteur et recouvert d'une couche isolante, typiquement du nitrure de silicium surmonté d'un autre oxyde tel que du tétraorthosilicate de silicium (TEOS en langue anglaise).

20 Le procédé comporte une étape dans laquelle on découvre le polysilicium de la grille initiale du transistor qui est entourée par des espaceurs isolants, une étape dans laquelle on forme sur la grille initiale ainsi découverte une extension de grille en déposant par épitaxie sélective une couche de polysilicium ayant une épaisseur choisie. Le procédé
25 comporte également une étape dans laquelle on procède à une siliciuration d'au moins une partie de l'extension de grille sur une épaisseur choisie, de façon à obtenir une grille finale pour le transistor formée de la grille initiale entourée par les espaceurs et surmontée de l'extension de grille ainsi siliciurée.

30 L'invention est ainsi remarquable en ce sens notamment que la siliciuration va consommer au moins une partie du silicium déposé et formant l'extension de grille, sans affecter les jonctions source/substrat et drain/substrat. Cette siliciuration pourra avantageusement se faire à faible température et les épaisseurs de polysilicium épitaxié et de siliciure
35 de métal pourront être ajustées pour atteindre les valeurs de résistance

nécessités par l'application visée.

Selon l'épaisseur choisie pour le polysilicium épitaxié, celui-ci pourra s'étendre latéralement sur une distance proportionnelle à l'épaisseur, compte tenu du caractère polycristallin ou amorphe du silicium servant de germe, c'est-à-dire le silicium de la grille initiale. En d'autres termes, on peut faire déborder l'extension de grille latéralement par rapport à la grille initiale, ce qui permet d'obtenir une grille en forme de "T". Ceci présente l'avantage, dans certaines applications, de pouvoir conserver le même volume de polysilicium pour l'extension de grille tout en réduisant la hauteur de l'extension de grille et en compensant cette diminution de hauteur par un débordement latéral. Ceci présente l'avantage de réduire le relief créé par l'épitaxie .

Par ailleurs, bien qu'il soit en théorie possible de n'effectuer une siliciuration que sur une partie de l'extension de grille, par exemple au sommet, en effectuant par exemple un dépôt sélectif de métal, il peut s'avérer préférable, dans certaines applications, d'effectuer une siliciuration de la totalité de l'extension de grille, ce qui conduit notamment à effectuer une siliciuration des flancs de l'extension de grille. Il est ainsi possible de répartir la quantité souhaitée de siliciure de métal compte tenu de la valeur de résistance désirée, sur la totalité de l'extension de grille, ce qui conduit par conséquent à avoir une épaisseur plus faible. Et, cette siliciuration de la totalité de l'extension de grille, en combinaison avec une extension de grille en polysilicium débordant latéralement par rapport à la grille initiale, permet d'ajuster et de diminuer la valeur de la résistance de grille tout en évitant des hauteurs trop importantes pour la grille finale.

Lorsque le circuit intégré comporte en outre des transistors complémentaires, c'est-à-dire des transistors NMOS et PMOS, on effectue avantageusement chaque étape du procédé simultanément pour tous les transistors du circuit intégré.

L'invention a également pour objet un circuit intégré, comportant au moins un transistor réalisé au sein d'un substrat semi-conducteur et comportant une grille siliciurée. Selon une caractéristique générale de l'invention, la grille est formée d'une partie inférieure entourée par des espaceurs isolants et d'une extension de grille

surmontant la partie inférieure et recouverte au moins partiellement d'une couche d'un siliciure de métal.

5 Selon un mode de réalisation de l'invention, l'extension de grille recouverte de la couche de siliciure de métal est plus large que la partie inférieure de la grille.

L'extension de grille peut être totalement recouverte de la couche de siliciure de métal.

10 Lorsque le circuit intégré comporte en outre des transistors complémentaires, les grilles de tous les transistors sont, selon le mode de réalisation, respectivement formées d'une partie inférieure entourée par des espaceurs isolants et d'une extension de grille surmontant la partie inférieure et recouverte d'une couche d'un siliciure de métal.

15 D'autres avantages et caractéristiques de l'invention apparaîtront à l'examen de la description détaillée de modes de mise en oeuvre et de réalisation, nullement limitatifs, et des dessins annexés, sur lesquels :

les figures 1 à 5 illustrent très schématiquement un mode de mise en oeuvre du procédé selon l'invention, la figure 5 illustrant schématiquement un mode de réalisation d'un transistor selon l'invention.

20 Sur la figure 1, la référence 4 désigne un substrat semi-conducteur, par exemple en silicium de type P, au sein duquel on réalise un circuit intégré comportant des transistors complémentaires à effet de champ à grille isolée. Sur la figure 1, on a représenté uniquement deux transistors, à savoir un transistor T1 (par exemple un transistor NMOS) et un transistor T100 (par exemple un transistor PMOS).

25 Les transistors T1 et T100 sont isolés par une région isolante 6, par exemple du type tranchée peu profonde (STI : Shallow Trench Isolation en langue anglaise).

30 Par ailleurs, l'homme du métier sait que, alors que les transistors NMOS peuvent être réalisés directement au sein du substrat 4, les transistors PMOS sont alors réalisés au sein d'un caisson 5 dopé N.

Mise à part la zone d'isolation latérale 6 et le caisson 5, les parties droite et gauche de chacune des figures 4 et 5 sont identiques. Aussi, les éléments des parties gauche de ces figures, c'est-à-dire situés à gauche de la zone d'isolation latérale 6, et qui sont analogues ou ont des

fonctions analogues aux éléments illustrés sur la partie droite de chacune de ces figures, ont des références augmentées de 100 par rapport aux références de ces mêmes éléments illustrés sur la partie droite. A des fins de simplification, on décrira ci-après le mode de mise en oeuvre et de réalisation de l'invention en se référant principalement à la partie droite de chacune des figures.

Le transistor NMOS T1 comporte de façon classique des zones implantées de source et de drain, respectivement référencées S1 et D1. Dans le cas d'un transistor NMOS, ces zones S1 et D1 sont dopées N⁺, tandis que les zones équivalentes S101 et D101 du transistor PMOS T101 sont dopées P⁺.

Le transistor NMOS T1 comporte par ailleurs une grille initiale G1 en polysilicium, reposant sur le substrat 4 par l'intermédiaire d'un oxyde OX1. Par ailleurs, cette grille est entourée classiquement par des régions isolantes, ou espaceurs E1.

Les régions de source, drain et grille sont par ailleurs recouvertes d'une couche d'un siliciure de métal, respectivement référencée DS1, SS1 et GS1, afin de permettre le contact de ces régions avec par exemple le premier niveau de métallisation du circuit intégré par l'intermédiaire de trous métallisés d'interconnexion communément désignés par l'homme du métier sous le vocable de "vias".

A ce stade de réalisation, l'ensemble de la plaquette semi-conductrice est recouverte d'une couche isolante 2, typiquement en nitrure de silicium. Cette couche isolante 2 est elle-même recouverte d'une couche plus épaisse d'un matériau diélectrique 3, par exemple du tétraorthosilicate de silicium TEOS. Ce dernier est typiquement déposé de façon conforme, c'est-à-dire qu'il épouse les aspérités du circuit intégré.

La couche du nitrure de silicium 2 et la couche de TEOS 3 forment ensemble une couche isolante qui va séparer le substrat semi-conducteur et les transistors, du premier niveau de métallisation du circuit intégré qui sera réalisé sur la surface supérieure de la couche 3 après aplanissement de cette dernière.

Les différentes étapes ayant permis la réalisation du circuit intégré jusqu'au dépôt de la couche 3, sont des étapes classiques bien connues de l'homme du métier, qui ne sont pas décrites en détail ici, et qui

ne font pas l'objet de la présente invention.

A partir de la configuration illustrée sur la figure 1, la première étape du procédé selon l'invention consiste à découvrir les régions de grilles G1, G101, des transistors du circuit intégré. Pour cela, on retire la
5 couche isolante recouvrant le circuit intégré, c'est-à-dire que l'on retire successivement les couches 3 et 2. Ce retrait s'effectue par des opérations classiques connues en elles-mêmes, et comportant par exemple un polissage mécano-chimique avec éventuellement arrêt sur la couche de nitrure de silicium, puis une gravure chimique de cette couche de nitrure
10 de silicium. On retire également la couche de siliciure de métal GS1, GS101, de façon à obtenir la configuration illustrée sur la figure 2. Sur cette figure, la référence 30 désigne le reliquat d'oxyde TEOS après mise à nu des lignes de polysilicium du circuit intégré. Il convient de noter ici que la présence initiale de la couche de siliciure de métal GS1 et GS101 est
15 sans importance pour l'invention puisqu'elle est retirée. Aussi, dans certains cas, il est possible de ne pas former cette couche GS1 et GS101 sur les grilles des transistors T1 et T101 de la figure 1. La mise à nu des lignes de polysilicium comportera alors simplement un retrait des couches 3 et 2.

Selon l'invention, on procède alors à un dépôt sélectif de
20 silicium, de type épitaxial, non intentionnellement dopé, sur toutes les régions de polysilicium découvertes, c'est-à-dire en l'espèce sur les régions de grilles G1 et G101. Une telle épitaxie sélective peut être réalisée par exemple dans un four en utilisant un flux de dichlorosilane sous une température comprise entre 700° et 900°C environ. L'homme du
25 métier saura ajuster la pression en fonction de la température et du degré de sélectivité voulu.

En raison du caractère sélectif de l'épitaxie, le polysilicium ne croît que sur les régions de grilles G1 et G101, de façon à former, comme illustré sur la figure 3, des extensions de grilles GX1 et GX101. Par
30 ailleurs, en fonction de l'épaisseur EP de polysilicium déposée, et du fait du caractère polycristallin du silicium des grilles G1 et G101, le polysilicium déposé pourra s'étendre latéralement sur une distance DL proportionnelle à l'épaisseur EP. Le rapport EP/DL dépendra des conditions de l'épitaxie sélective. On peut alors obtenir, en fonction de
35 l'épaisseur EP déposée, une grille résultante ayant la forme d'un T et

formée d'une partie inférieure G1 (la grille initiale du transistor) surmontée d'une extension de grille GX1 débordant latéralement par rapport à la partie inférieure G1.

5 On procède alors (figure 4) à une étape de siliciuration de ces extensions de grilles de façon à former, dans le cas présent sur la totalité des extensions de grilles, des couches GXS1 et GXS101 de siliciure de métal. Cette étape de siliciuration va consommer une partie du polysilicium de l'extension de grilles mais sans affecter les jonctions source/substrat et drain/substrat des transistors ni la grille sous-jacente
10 GX1.

Il convient de noter ici que, selon l'invention, on peut ajuster l'épaisseur EP de polysilicium déposé ainsi que l'épaisseur de la couche de siliciure de métal en fonction de la valeur de la résistance souhaitée pour la grille finale du transistor.

15 Par ailleurs, cette étape de siliciuration peut se faire à faible température (par exemple de l'ordre de 500°C. Cette étape de siliciuration s'effectue par dépôt d'un métal, tel que le titane, le cobalt, le nickel, le tungstène, puis, après la réaction de siliciuration, on procède à un retrait sélectif du métal n'ayant pas réagi pour ne laisser du siliciure de métal que
20 sur les extensions de grilles GX1.

On obtient donc, en final, comme illustré sur la figure 5, un transistor T1 dont la grille est formée d'une partie inférieure G1 entourée par des espaceurs isolants E1 et d'une extension de grille GX1 surmontant la partie inférieure et recouverte au moins partiellement d'une couche d'un
25 siliciure de métal GXS1.

Dans l'exemple illustré sur la figure 5, l'extension de grille recouverte de la couche de siliciure de métal est plus large que la partie inférieure de la grille et l'extension de grille est totalement recouverte de la couche de siliciure de métal.

30 La poursuite de la réalisation du circuit intégré comporte par exemple un dépôt conforme d'une couche d'oxyde TEOS 31 sur la couche 30, de façon à se retrouver dans une configuration analogue à celle de la figure 1. On pourrait également déposer un matériau diélectrique dopé au phosphore éventuellement recouvert d'un matériau diélectrique non dopé,
35 par exemple du TEOS. On procèdera ensuite éventuellement à un

- 5 aplanissement de cette couche 31, de façon à pouvoir réaliser sur sa surface supérieure le premier niveau de métallisation qui sera ensuite complété de façon classique par des niveaux de métallisation supérieurs, mutuellement interconnectés par des vias. Il convient cependant de noter ici que cet aplanissement n'est pas indispensable si le relief obtenu est faible et compatible avec les étapes ultérieures classiques de fabrication du circuit intégré.

REVENDICATIONS

1. Procédé d'ajustement de la valeur de résistance de grille d'un transistor d'un circuit intégré réalisé au sein d'un substrat semi-conducteur et recouvert d'une couche isolante, comportant une étape dans laquelle on découvre le polysilicium de la grille initiale (G1) du transistor
5 (T1) entourée par des espaceurs isolants (E1), une étape dans laquelle on forme sur la grille initiale ainsi découverte (G1) une extension de grille (GX1) en déposant par épitaxie sélective une couche de polysilicium ayant une épaisseur choisie, et une étape dans laquelle on procède à une siliciuration (GXS1) d'au moins une partie de l'extension de grille sur une
10 épaisseur choisie, de façon à obtenir une grille finale pour le transistor formée de la grille initiale (G1) entourée par les espaceurs (E1) et surmontée de l'extension de grille (GX1) ainsi siliciurée.

2. Procédé selon la revendication 1, caractérisé par le fait qu'on fait déborder l'extension de grille (GX1) latéralement par rapport à la
15 grille initiale.

3. Procédé selon la revendication 1 ou 2, caractérisé par le fait qu'on effectue une siliciuration de la totalité de l'extension de grille (GX1).

4. Procédé selon l'une des revendications précédentes, applicable à un circuit intégré comportant en outre des transistors complémentaires, caractérisé par le fait qu'on effectue chaque étape simultanément pour tous les transistors (T1, T101) du circuit intégré.
20

5. Circuit intégré, comportant au moins un transistor réalisé au sein d'un substrat semi-conducteur et comportant une grille siliciurée, caractérisé par le fait que la grille est formée d'une partie inférieure (G1) entourée par des espaceurs isolants (E1) et d'une extension de grille (GX1) surmontant la partie inférieure et recouverte au moins partiellement d'une couche d'un siliciure de métal (GXS1).
25

6. Circuit intégré selon la revendication 5, caractérisé par le fait que l'extension de grille (GX1) recouverte de la couche de siliciure de métal (GXS1) est plus large que la partie inférieure de la grille (G1).
30

7. Circuit intégré selon la revendication 5 ou 6, caractérisé par le fait que l'extension de grille (GX1) est totalement recouverte de la couche

de siliciure de métal (GXS1).

- 5 8. Circuit intégré selon l'une des revendications 5 à 7, caractérisé par le fait qu'il comporte en outre des transistors complémentaires, et par le fait que les grilles de tous les transistors (T1, T101) sont respectivement formées d'une partie inférieure entourée par des espaceurs isolants et d'une extension de grille surmontant la partie inférieure et recouverte d'une couche d'un siliciure de métal.

FIG.1

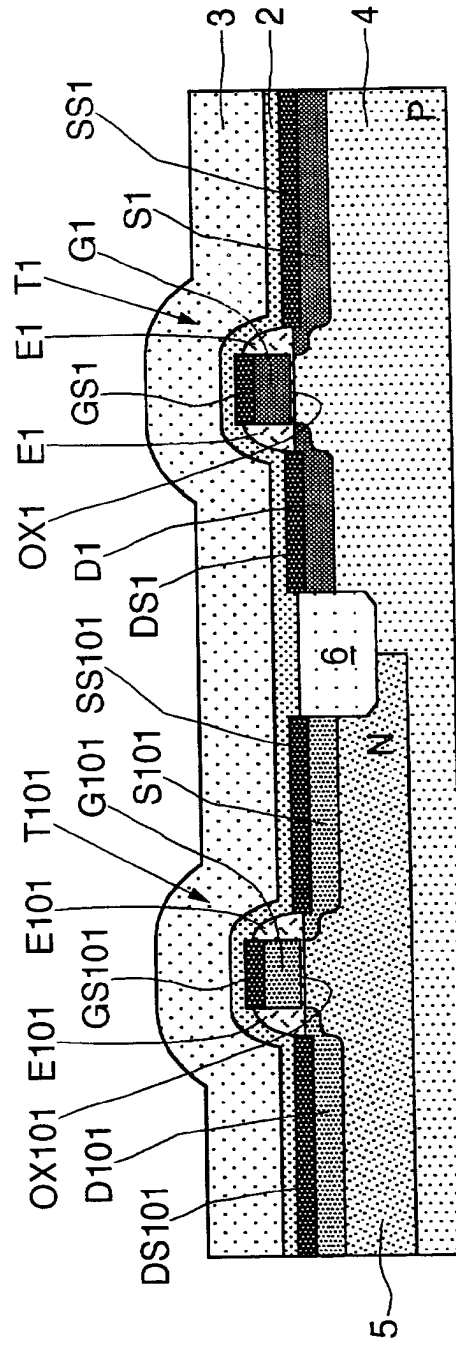


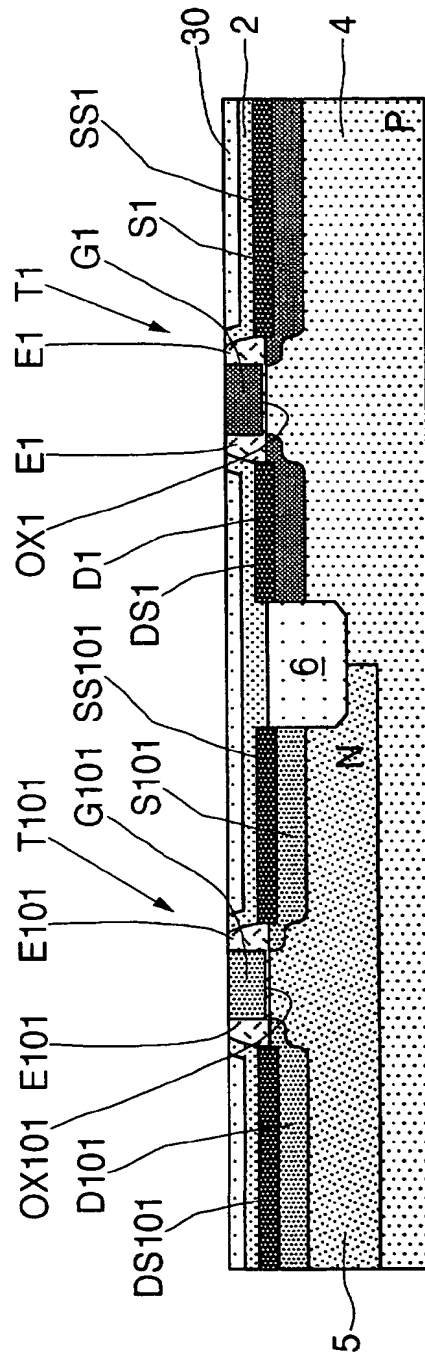
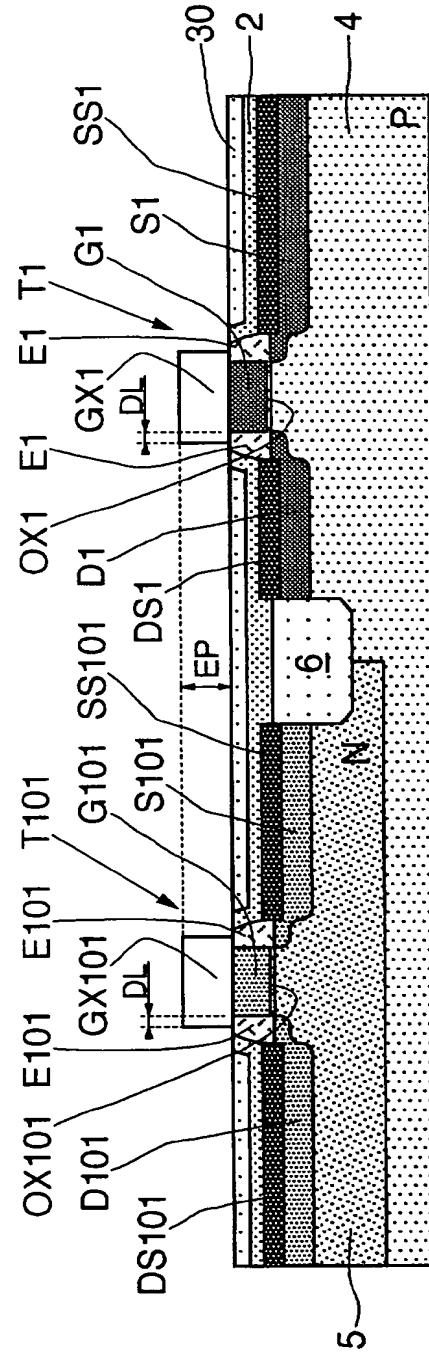
FIG.2**FIG.3**

FIG.4

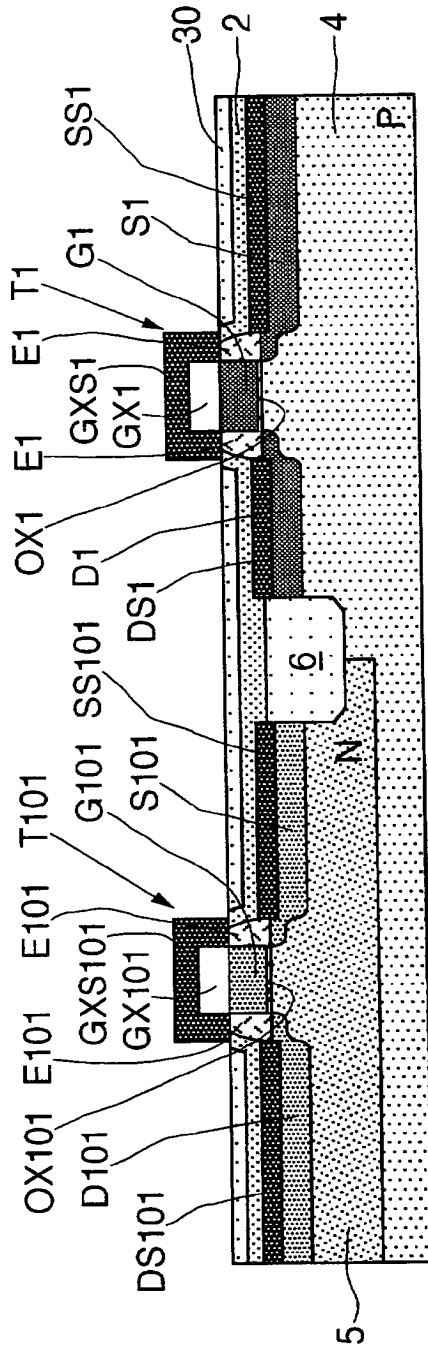
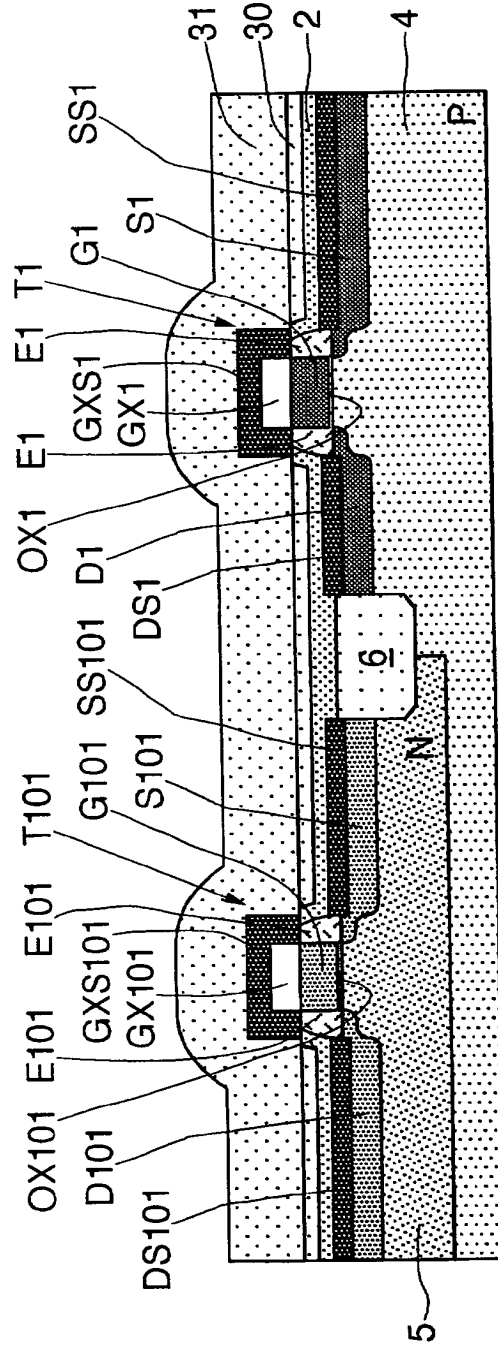


FIG.5





RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

2804793

N° d'enregistrement
nationalFA 585231
FR 0001484

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 4 945 070 A (HSU SHENG T) 31 juillet 1990 (1990-07-31) * abrégé; revendications; figures *	1,4,5,8	H01L21/71 H01L27/04 H01L21/331
Y	---	3,6,7	
Y	US 6 017 823 A (SHISHIGUCHI SEIICHI ET AL) 25 janvier 2000 (2000-01-25) * abrégé; revendications; figures *	3,6,7	
A	US 5 824 586 A (WOLLESEN DONALD L ET AL) 20 octobre 1998 (1998-10-20) * abrégé; revendications; figures *	1-3,5-7	
A	US 5 915 183 A (GAMBINO JEFFREY P ET AL) 22 juin 1999 (1999-06-22) * abrégé; revendications; figures *	1	
			DOMAINES TECHNIQUES RECHERCHÉS (Int.CL.7)
			H01L
Date d'achèvement de la recherche		Examineur	
7 novembre 2000		Wirner, C	
CATÉGORIE DES DOCUMENTS CITÉS X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercatégoriel T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant			

1
EPO FORM 1503 12.99 (P4/C14)

THIS PAGE BLANK (USPTO)